

# 右腳驅動心電放大電路

指導教授：沈鼎嵐博士

學生：吳懋富

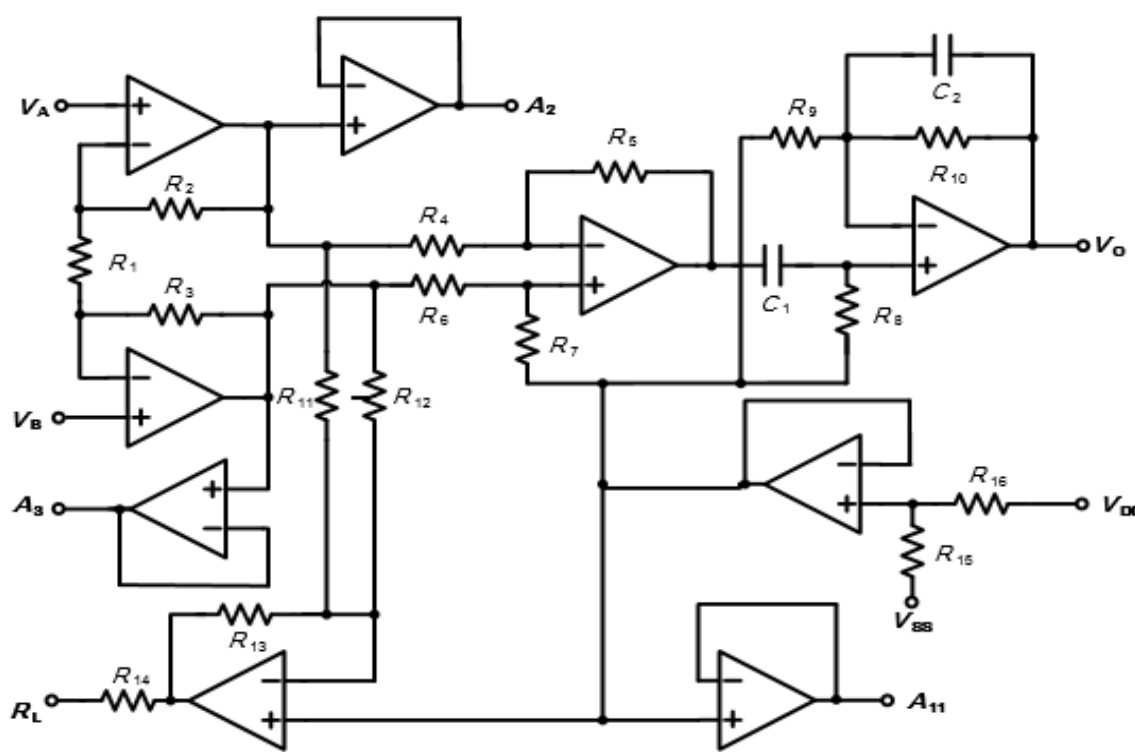
輔仁大學 電機工程學系 大學部專題生

## 摘要

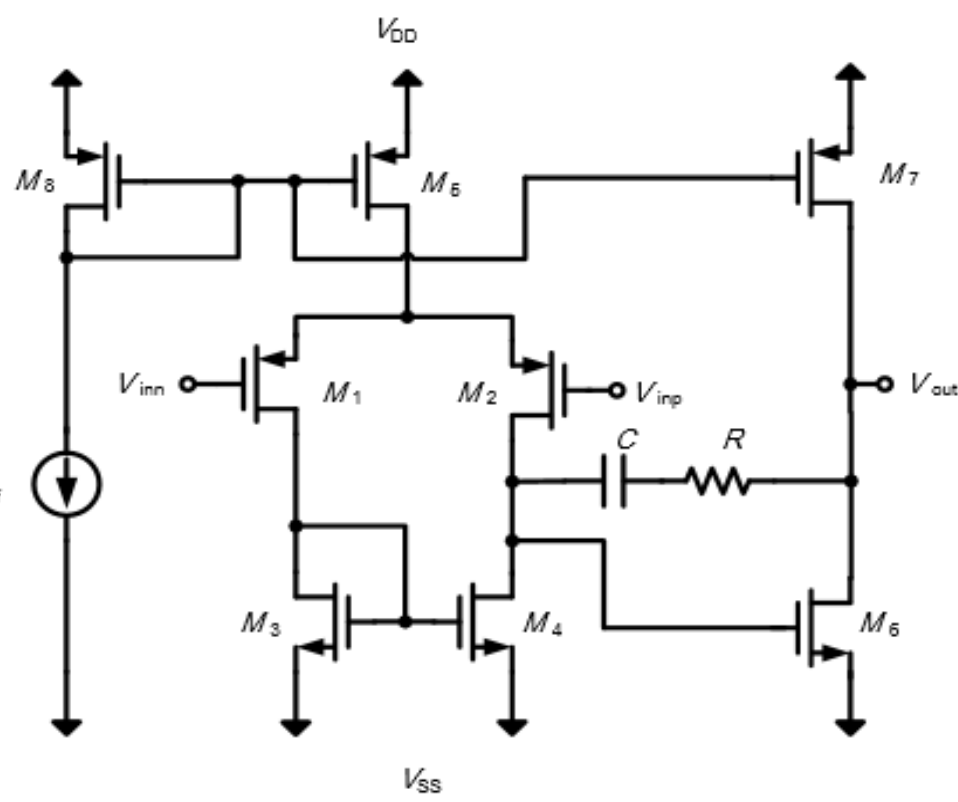
- 本專題設計一運算放大器(OP)，放大倍率約為60dB，可用正負電源為-0.9V~+0.9V或是單電源0~+1.8V。右腳驅動心電放大電路電路功率消耗約為20mW，整體放大倍率約800倍，頻寬約0.048~107Hz，採用UMC 0.18μm CMOS製程。

## 系統架構

- 本專題晶片內容為先設計twostage放大器電路作為OP，再應用此op設計第一級儀表放大器放大約27倍，再由第二級正向放大器放大約31倍，同時此正向放大器也有濾波器的功能，頻寬約0.048~107Hz，其中，在電路中利用右腳驅動電路反饋共模訊號，使其與市電訊號相消。由上述架構組成右腳驅動心電放大電路(如圖一)。



圖一、右腳驅動心電放大電路



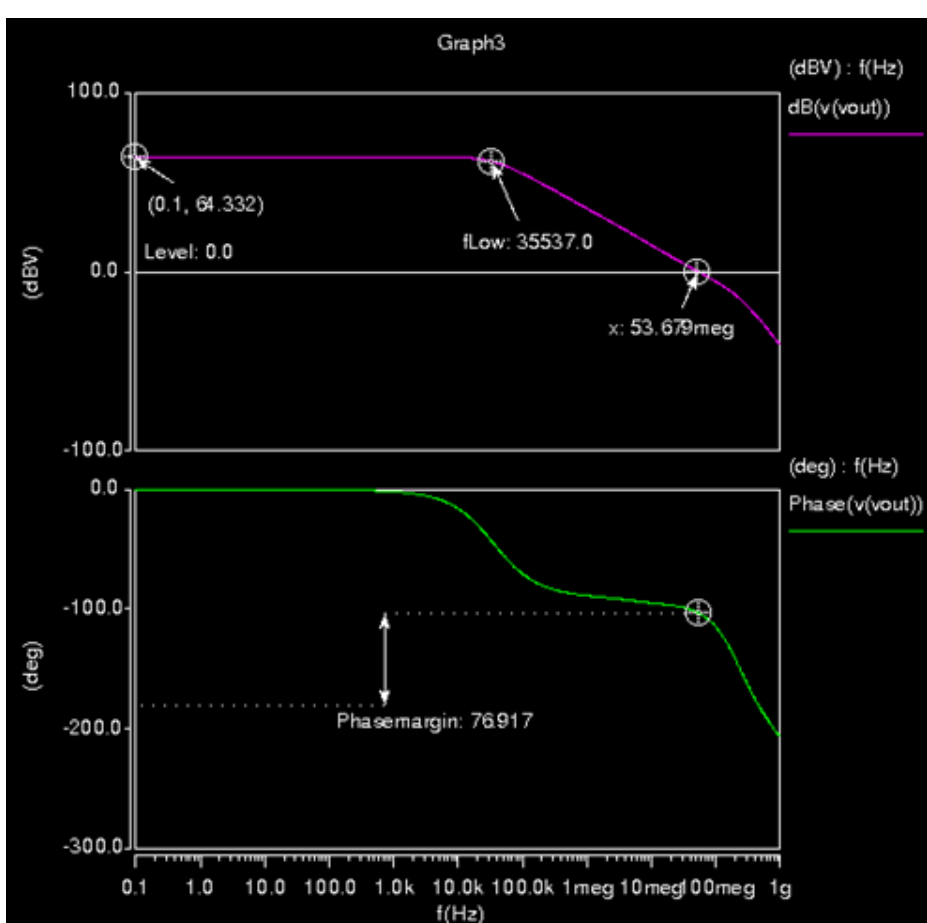
圖二、Twostage電路架構

## 設計原理

- Twostage放大器電路：
- Twostage放大器電路(如圖二)，各電晶體尺寸(如圖三)，輸出的增益以及phase margine波形(如圖四)，電容C為米勒補償電容，是利用原電路中的主極點的位置，接上大電容在利用米勒效應，以產生pole splitting，使主極點朝向更低頻前進，而第二個極點朝更高頻移動，使其phase margine 上升。串聯電阻R是為了將補償電容C造成的正零點變成負零點，因為正零點會造成phase margine 下降。為避免電路設計不當所造成的systematic output dc offset，設計Mos大小為 $\frac{(W/L)_6}{(W/L)_4} = 2 \frac{(W/L)_7}{(W/L)_5}$ 。此op輸出倍率為64dB。

	W(μm)	L(μm)
M <sub>1</sub>	30	0.5
M <sub>2</sub>	30	0.5
M <sub>3</sub>	10	0.5
M <sub>4</sub>	10	0.5
M <sub>5</sub>	30	0.5
M <sub>6</sub>	260	0.5
M <sub>7</sub>	390	0.5
M <sub>8</sub>	5	0.5
C	1pF	
R	1kΩ	

圖三、各MOS尺寸



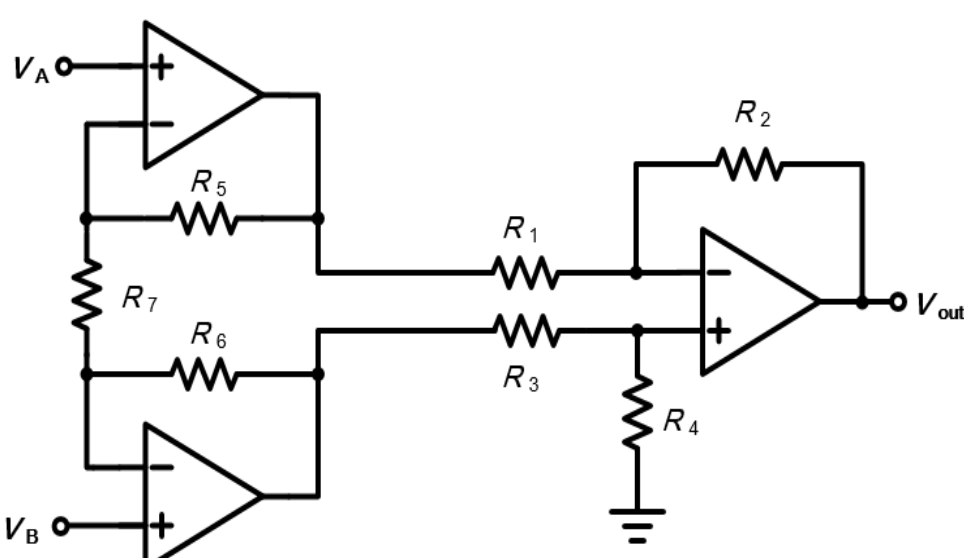
圖四、輸出增益及phase margine

- 第一級電路：
- 儀表放大器(如圖五)：
- 此架構以一顆差動放大器為主體，利用 $\frac{R_2}{R_1} = \frac{R_1}{R_3}$ ，使共模訊號趨近於零，達成很大的CMRR的目的，但輸入阻抗不佳。因此在差動放大器的前端，再加上兩個OP不僅可以改善輸入阻抗不佳，也可以解決單一放大器增益不足的缺點。此級放大倍率約為27倍，其中R<sub>7</sub>是外接在晶片外，如此一來，若整體增益不足，可透過調小R<sub>7</sub>改善，反之亦然。缺點是要使用三顆OP硬體成本增加。此級的設計值R<sub>1</sub>=R<sub>3</sub>=10kΩ、R<sub>2</sub>=R<sub>4</sub>=50kΩ、R<sub>5</sub>=R<sub>6</sub>=22kΩ、R<sub>7</sub>=10kΩ。

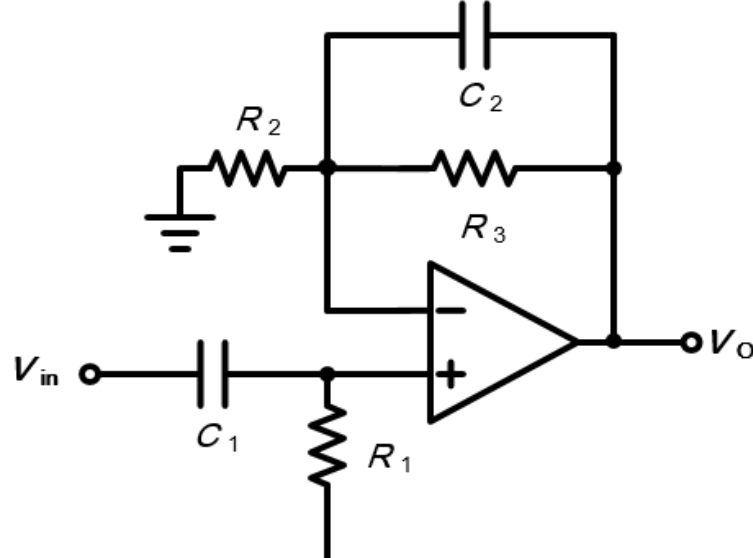
$$A_M = (V_A - V_B) \frac{R_5 + R_6 + R_7}{R_7} \times \frac{R_2}{R_1}$$

- 第二級電路：
- 正向放大器與濾波器(如圖六)：
- 利用正向放大器來得到大約31倍的增益，在訊號放大之前，設計一個f<sub>3dB</sub>約為0.048Hz的低通，使直流無法通過，避免放大倍率太大使心電訊號消失；且在輸出訊號前，設計一個f<sub>3dB</sub>約為107Hz的高通，使高頻雜訊無法通過。
- 此級設計值R<sub>1</sub>=3.3MΩ、R<sub>2</sub>=5kΩ、R<sub>3</sub>=150kΩ、C<sub>1</sub>=1μF、C<sub>2</sub>=0.01μF

$$A_M = 1 + \frac{R_2}{R_1}, f_L = \frac{1}{2\pi R_1 C_1} = 0.048\text{Hz}, f_H = \frac{1}{2\pi R_3 C_2} = 107\text{Hz}$$

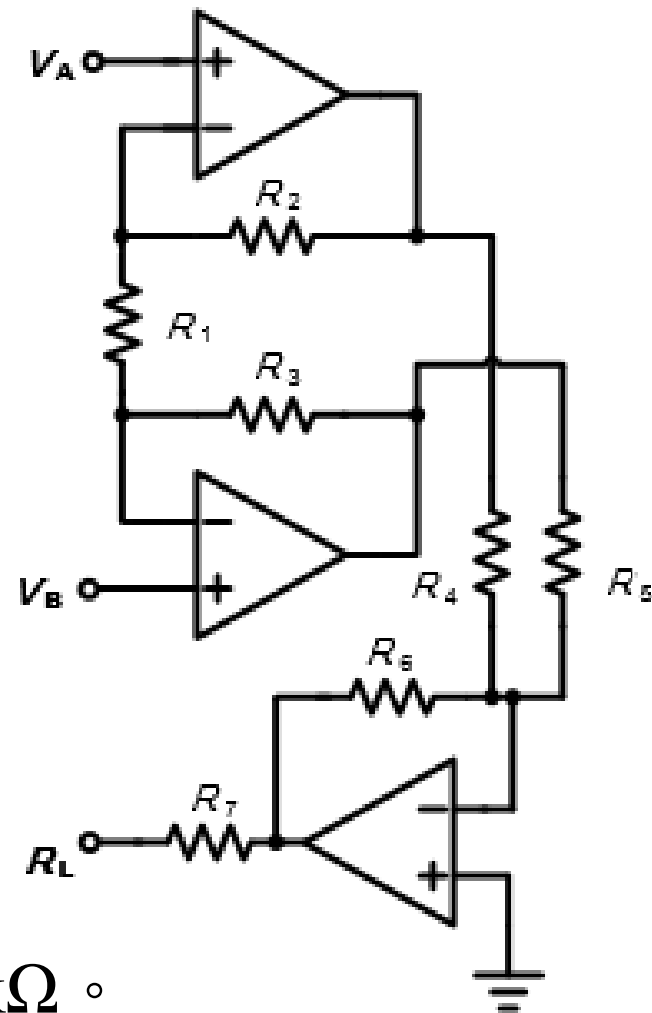


圖五、儀表放大器

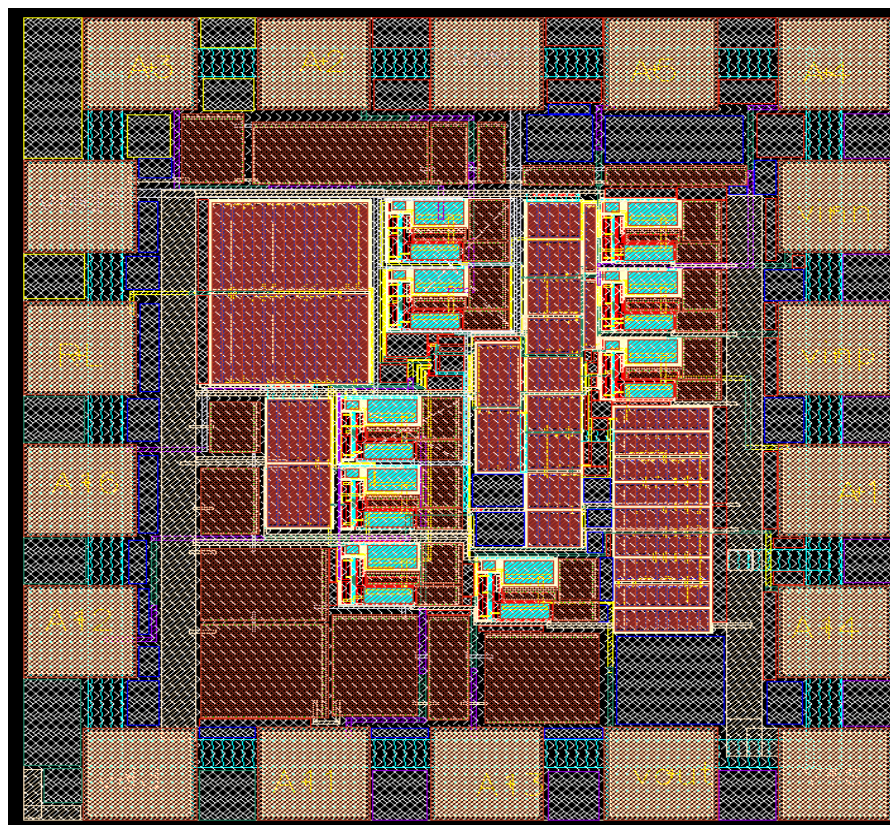


圖六、正向放大器與濾波器

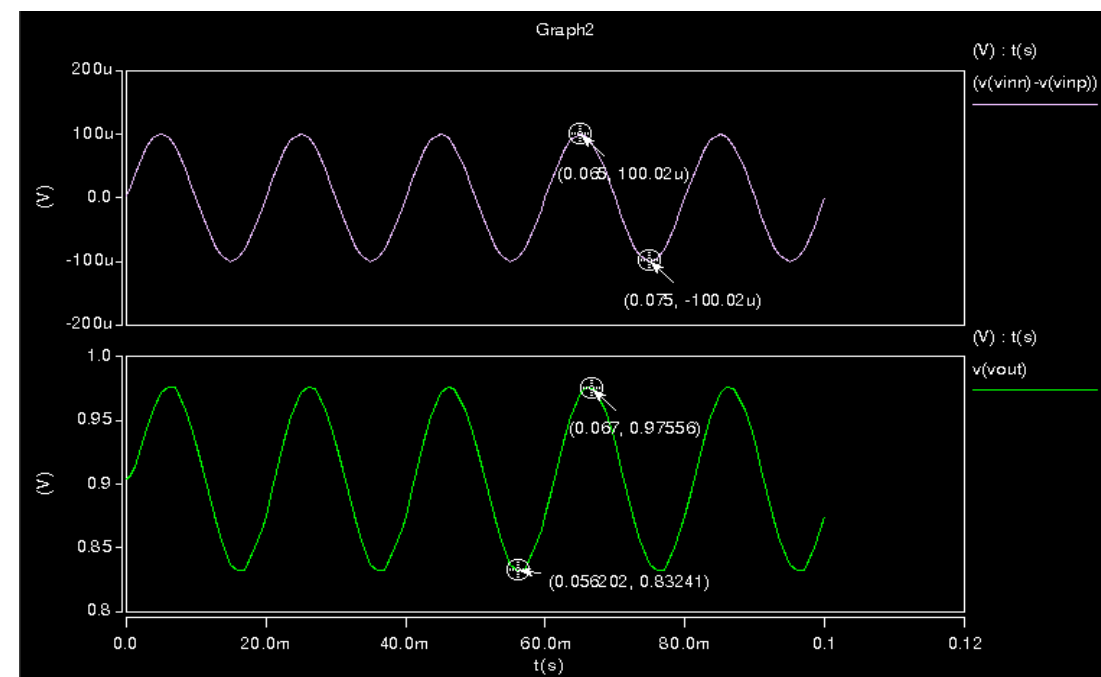
- 右腳驅動電路(如圖七)：
- 早期ECG電路設計，是利用Q值極高的帶拒濾波器，濾掉約為60Hz的市電訊號，但是心電頻率約為0.048Hz~107Hz，會造成不小心也會濾掉一部分的心電訊號。因此，現在的架構改由右腳驅動電路來解決市電訊號的問題。此電路的架構是利用一個放大倍率約為一倍的反向放大器來反饋市電訊號，利用此反饋訊號與原本的市電訊號抵銷。除此之外，R<sub>7</sub>與R<sub>1</sub>的電阻值通常設計很大，約幾百kΩ，有些甚至設計到MΩ。如此一來，若電路因為短路或故障發生漏電流時，因為R<sub>7</sub>與R<sub>1</sub>電阻很大，所以幾乎不會有電流經由右腳驅動電路流經受試者體內。此級的設計值R<sub>1</sub>=10kΩ、R<sub>2</sub>=R<sub>3</sub>=22kΩ、R<sub>4</sub>=R<sub>5</sub>=40kΩ、R<sub>6</sub>=R<sub>7</sub>=390kΩ。



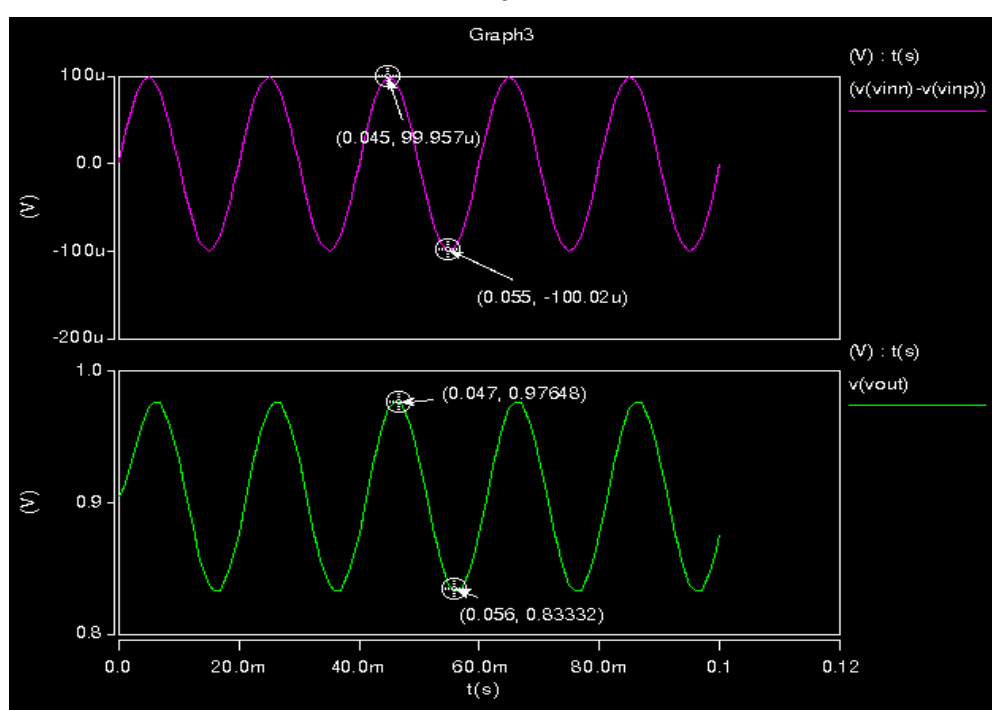
- Layout佈局圖和模擬：
- Layout佈局圖(如圖八)使用UMC 0.18mm CMOS製程，面積為0.533x0.565mm<sup>2</sup>，此面積包含PAD所佔的面積，pre-sim暫態模擬波形(如圖九)，放大增益約為715倍，post-sim暫態模擬波形(如圖十)，放大增益也約為715倍 pre-sim 的頻率響應(如圖十一)，頻寬約為0.048~107Hz，增益約為58.2dB。



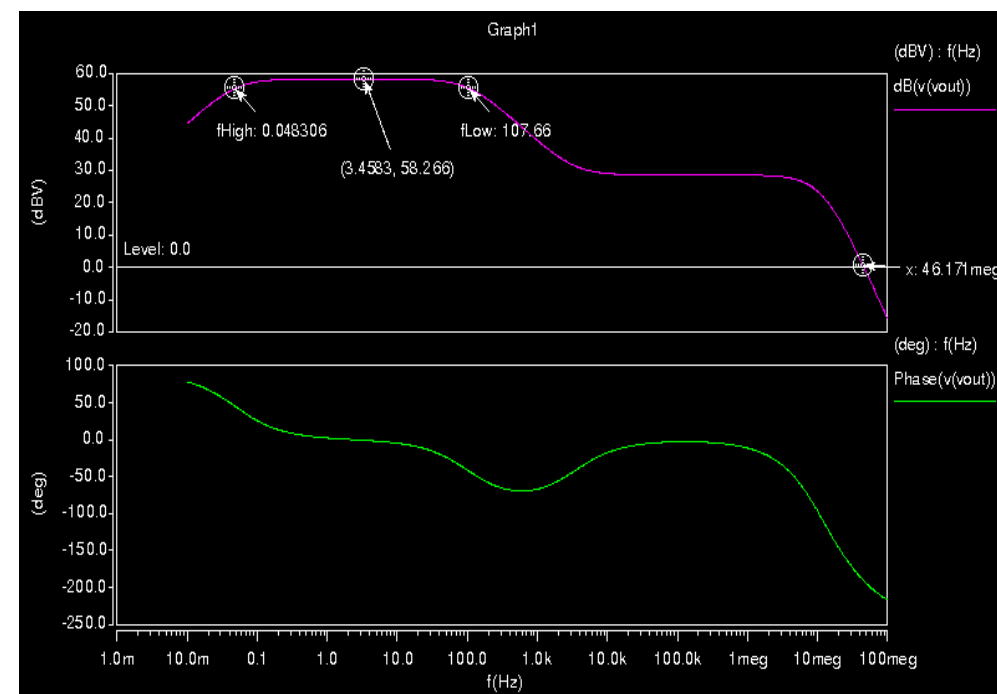
圖八、Layout佈局圖



圖九、pre-sim暫態模擬波形(TT)



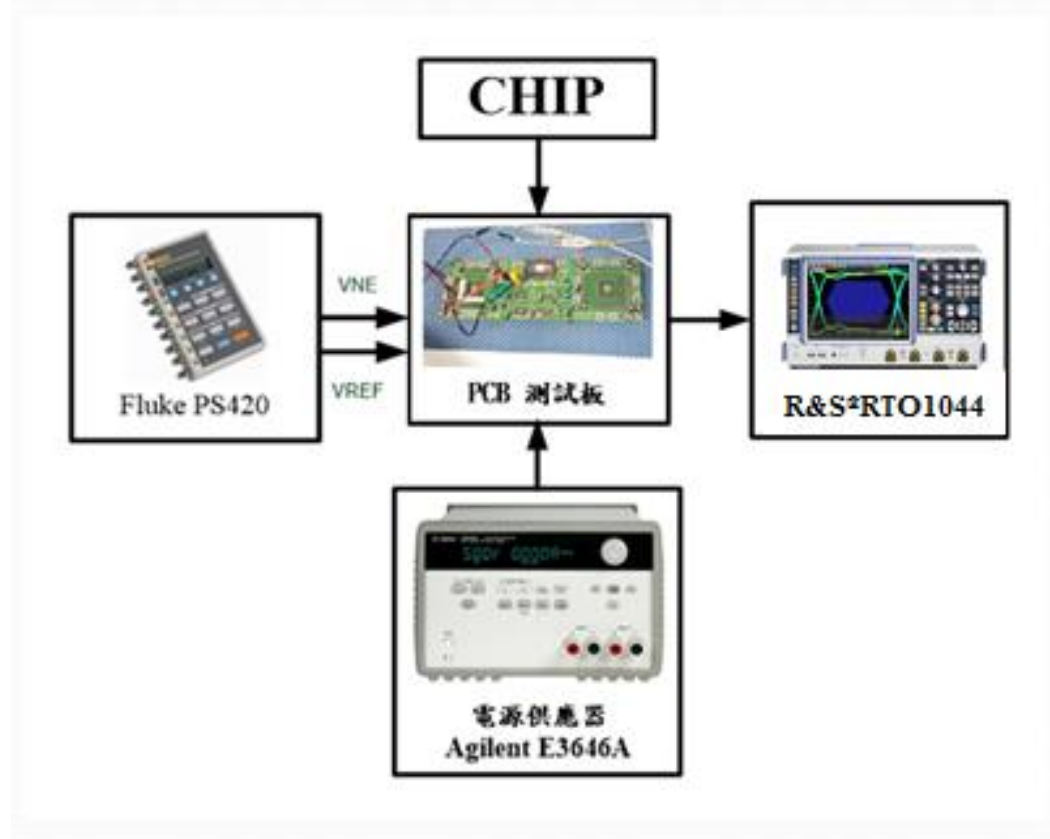
圖十、post-sim暫態模擬波形(TT)



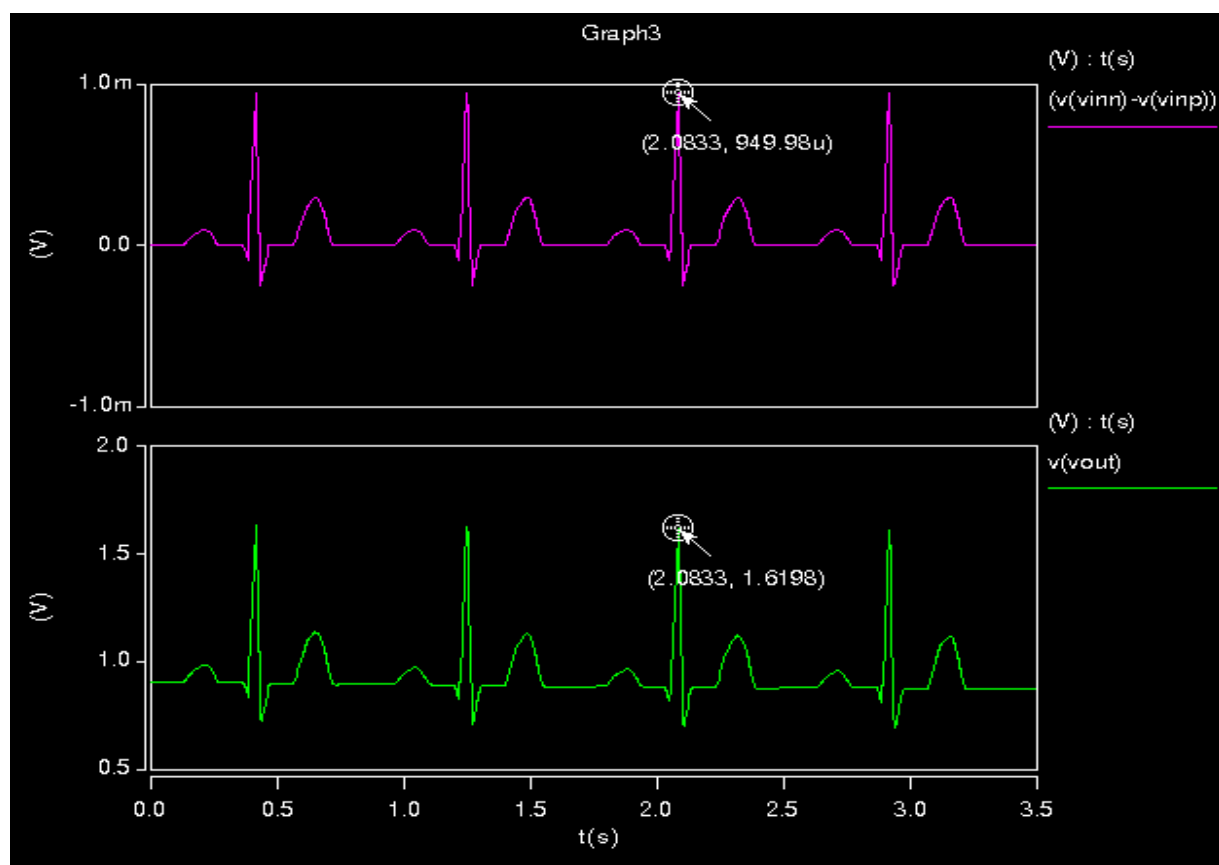
圖十一、pre-sim 的頻率響應

## 實測量測方法

- Fluke PS420為一病患參數模擬機，利用其輸入一模擬心跳訊號;電源供應器剛開始輸入V<sub>DD</sub>:0.9V、V<sub>SS</sub>:-0.9V，並在量測晶片時，使用示波器測量輸出心跳訊號。量測方法(如圖十二)， post-sim心跳模擬(如圖十三)。



圖十二、量測方法



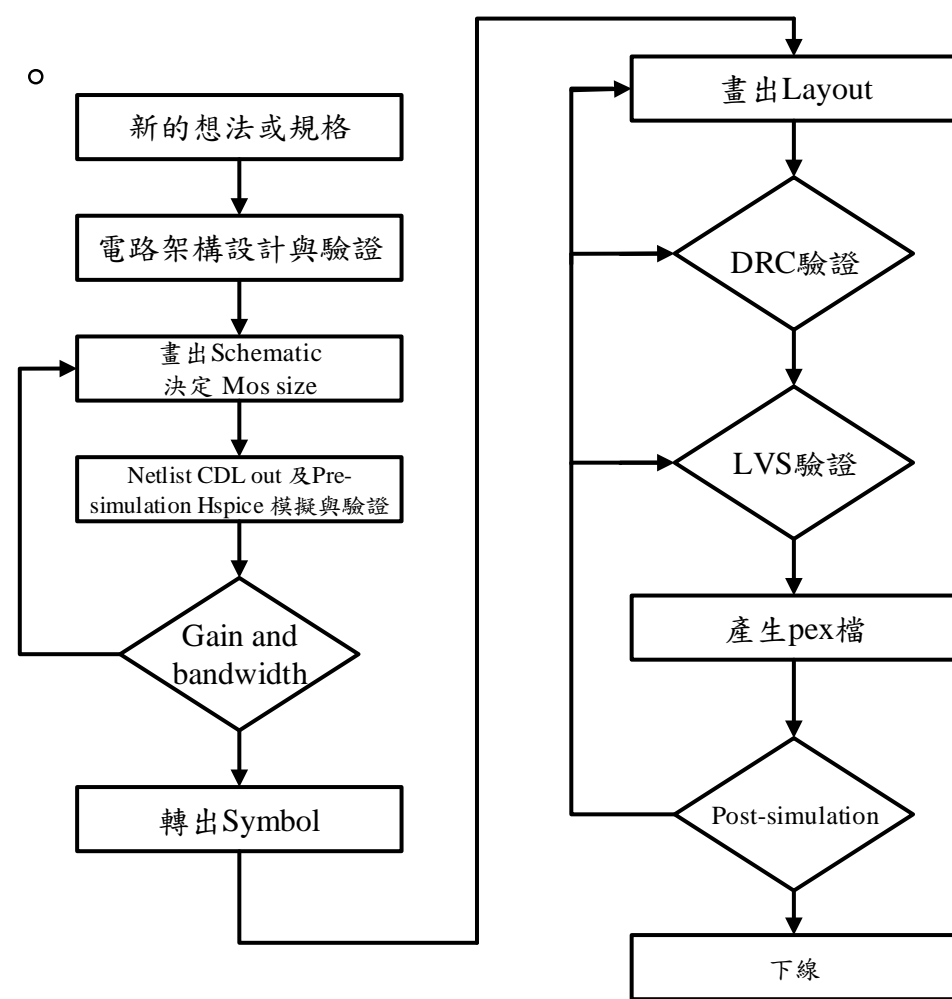
圖十三、post-sim心跳模擬(TT)

## 結論

- 此專題利用full custom的方式來設計，設計流程(如圖十五)。以OP為主體建構出右腳驅動心電放大電路，此電路本身就有濾波效果與負回饋的右腳驅動電路。
- 電源供應V<sub>DD</sub>=+1.8V、V<sub>SS</sub>=0V或V<sub>DD</sub>=+0.9V、V<sub>SS</sub>=-0.9V，預計增益為800倍，功率消耗約為20mW，頻寬約0.048Hz~107Hz，預計規格細節列於下表，如圖十四。

Specification	Spec	Post-layout Simulation
Power Supply (V)	0 V ~ +1.8 V	0 V ~ +1.8 V
Gain	58.264dB	58.267dB
bandwidth	0.048Hz~107.66Hz	0.048Hz~107.65Hz
power dissipation	19.94m W	19.92mW

圖十四、規格表



圖十五、設計流程



2016 輔仁大學電機工程學系  
大學部專題成果展

